

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 12 月 19 日
Application Date

申 請 案 號：091136643
Application No.

申 請 人：瀚工科技股份有限公司、國立台灣大學
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 21 日
Issue Date

發文字號：09220731310
Serial No.

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：_____ ※IPC 分類：_____

※ 申請日期：_____

壹、發明名稱

(中文) 一種阻抗匹配設計方法及其電路

(英文) An Impedance Matching Method and Circuits Designed by This method

貳、發明人 (共 一 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 呂學士

(英文) Shey-shi Lu

住居所地址：(中文) 台北市連雲街 57-2 號 4 樓之一

(英文) 4F-1 No.57-2 Lien-Yu Street Taipei

國籍：(中文) 中華民國 (英文) Taiwan Republic of China

參、申請人 (共 二 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 瀾工科技公司

(英文) Memetics Technology Co., Ltd.

住居所或營業所地址：(中文) 台北市松山區八德路四段六九七號八樓之一

(英文) 8F-1, No.697, Sect.4, Bade Road, Taipei, Taiwan 105, ROC

國籍：(中文) 中華民國 (英文) Taiwan Republic of China

代表人：(中文) 李汪聲

(英文) Wang-sheng LEE

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2 ID: _____

姓名：(中文) _____

(英文) _____

住居所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

發明人 3 ID: _____

姓名：(中文) _____

(英文) _____

住居所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

發明人 4

姓名：(中文) _____

(英文) _____

住居所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

發明人 5

姓名：(中文) _____

(英文) _____

住居所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

申請人 2

姓名或名稱：(中文) 國立台灣大學

(英文) National Taiwan University

住居所或營業所地址：(中文) 台北市羅斯福路四段一號

(英文) No.1 Sect.4 Roosevelt Road Taipei ROC

國籍：(中文) 中華民國 (英文) Taiwan Republic of China

代表人：(中文) 陳維昭

(英文) Wei-Jao CHEN

申請人 3

姓名或名稱：(中文) _____

(英文) _____

住居所或營業所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

代表人：(中文) _____

(英文) _____

申請人 4

姓名或名稱：(中文) _____

(英文) _____

住居所或營業所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

代表人：(中文) _____

(英文) _____

肆、中文發明摘要

本創作是有關於一種阻抗匹配方法及利用此方法所設計出之電路。主要係於雙極（場效）電晶體之集極端（汲極端）處連接上電容，藉由回授作用而使從電晶體基極端（閘極）端看入之阻抗具有所欲之電阻值（通常為 50 歐姆）。由於本創作利用電晶體輸出處（集極端或汲極端）之電容而於電晶體輸入處（基極端或閘極端）產生匹配所需之電阻，相對於習知之技術，不需使用佔面積之電感，亦不需使用造成過大雜訊之電阻。

伍、英文發明摘要

This invention is related to an impedance matching method and circuits designed by this method. By adding a capacitor at the collector (drain) of a bipolar (field effect) transistor, a required resistance (usually 50 ohms) can be obtained at the base (or gate) of the bipolar (field effect) transistor due the feedback effect. Compared to the prior art, this method does not use inductors that occupy large chip area or resistors that cause large noise.

陸、(一)、本案指定代表圖爲：第四圖

(二)、本代表圖之元件代表符號簡單說明：

400 輸入端

401 電流源

402 電容

404 電感

405 集極電流

406 電壓源

407 電阻

408 電晶體

409 電容

410 電阻

411 電源

412 電阻

413 電晶體

414 輸出端

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

捌、聲明事項

☐ 本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

本創作是有關於一種阻抗匹配方法及利用此方法所設計出之電路。主要係於雙極(場效)電晶體之集極端(汲極端)處連接上電容，藉由回授作用而使從電晶體基極端(開極)端看入之阻抗具有所欲之電阻值(通常為 50 歐姆)。

【先前技術】

電子電路系統中常需要做阻抗匹配。請參照第一圖，以無線通訊超外差式接收機為例，訊號先由天線接收，經由帶通濾波器 101 將非所欲頻帶之訊號濾除後，所欲頻帶之訊號進入低雜訊放大器 102 而被放大。放大後之訊號通過鏡頻抑制濾波器 103 後，由降頻器 104 (混波器) 將射頻電訊號轉成較低頻率訊號(中頻訊號)，再交由中頻訊號處理電路 106 來處理。為了與帶通濾波器 101 之輸出阻抗匹配，就要求低雜訊放大器 102 之輸入阻抗為 50 歐姆。

習知使放大器輸入阻抗產生 50 歐姆之方法主要有四種，請參照第二 A 圖、第二 B 圖、第二 C 圖及第二 D 圖。由於一般而言，場效電晶體(或雙極電晶體)之輸入阻抗通常都很高，因此於放大器輸入端產生 50 歐姆的最簡單方法是如第二 A 圖所示，於場效電晶體(或雙極電晶體)之輸入端並聯一個 50 歐姆之電阻 201，以滿足輸入阻抗匹配之條件。但因此電阻 201 乃直接連接於輸入端，電阻本身所產生雜音會直接對輸入訊號造成干擾。事實上經計算可知，即使不將電晶體之雜音計入，此種放大器之雜音指數就已高達 3dB，不符合實際之要求。更何況所並聯之電阻 201 還會直接將所輸入之功率消耗掉一半，因此這種組態很少為人所採。另外有人提出利用電阻回授技術使得輸入阻抗變為 50 歐姆之方法，如第二 B 圖所示。主要是利用回授電阻 204 及 205 之調整使輸入端產生歐姆。此種方法所製成之放大器的雜音指數確實比前一種方法來得低，但其直流消耗功率通常很大。另外有人提議用如第二 C 圖之共開極(Common-gate)或共基極(Common-base)電路來達成 50 歐姆輸入阻抗，主要乃調整電晶體 207 轉導

(transconductance) $g_m = 20\text{mS}$ ，使輸入阻抗為 50 歐姆(可以證明此種電路組態之輸入阻抗為轉導之導數)。但實測證明此種組態之雜音亦不小，且電晶體轉導亦被限制住了。最後一種也是最受歡迎的 50 歐姆輸入阻抗產生方法如第二 D 圖所示，在電晶體之源極或射極連接上一串聯電感。理想電感不會製造額外的雜音，因此其最低雜音指數應該與原來電晶體一樣。事實上大多數的低雜訊放大器均採此種組態。但是電感相當佔晶片上之面積，而且一般晶片上電感之品質因子(quality factor)亦不高，因此非常需要有一種不使用電感，但仍能產生 50 歐姆輸入阻抗之方法。

【內容】

本創作之目的在提供一種阻抗匹配方法，主要乃使用電容來產生所需的之電阻。

為了不使用電感來達成阻抗匹配，本創作提出於雙極電晶體或異質接面雙極電晶體(Bipolar Junction Transistor or Heterojunction Bipolar Transistor)的輸出端(集極)電性連接一電容器；或者於場效電晶體的輸出端(汲極)電性連接一電容器，而在電晶體輸入端(雙極電晶體或異質接面雙極電晶體為基極，場效電晶體為開極)產生阻抗匹

配所需之電阻（通長為 50 歐姆）。請參照第三 A 圖至第三 C 圖，以說明本創作之原理。第三圖為共射極組態下於雙極電晶體集極端電性連接上一並聯組合之電容 313（記為 C_L ）與電阻 316（記為 R_L ）的小訊號等效電路模型。雙極電晶體之小訊號等效電路模型由基極電阻 314（記為 R_B ）、基射極間電容 311（記為 C_{BE} ）、基集極間電容 312（記為 C_{BC} ）及集射極間受控電流源 315 所組成。集射極間受控電流源 315 乃受控於基射極間電壓 V_{BE} ，此受控電流與基射極間電壓 V_{BE} 之比值叫轉導（transconductance，記為 g_m ）。電容 313 與電阻 316 可能是單純的電容、電阻，也可能是由下一級電路而來的電容、電阻。電容 313 與電阻 316 也包含電晶體本身的集射極間之電容、電阻。可以證明，並聯組合之電容 313（記為 C_L ）、電阻 316（記為 R_L ）及集射極間受控電流源 315，與基集極間電容 312（記為 C_{BC} ）串聯後，等效於，如第三 B 圖所示，由一電容 317（記為 C_M ）與一電阻 318（記為 R_M ）所串聯之電路，而 C_M 及 R_M 由以下公式所定：

$$C_M = C_{BC}(1 + g_m R_L) \quad (1)$$

$$R_M = \frac{R_L}{1 + g_m R_L} + \frac{g_m R_L^2}{(1 + g_m R_L)^2} \frac{C_L}{C_{BC}}. \quad (2)$$

可以進一步證明串聯組合之電容 317（記為 C_M ）及電阻 318（記為 R_M ），與基射極間電容 311（記為 C_{BE} ）並聯後之等效電路，如第三 C 圖所示，於某一頻率範圍內相當於由一電容 319（記為 C_{in} ）與一電阻 320（記為 R'_M ）所串聯之電路，而 C_{in} 及 R'_M 由以下公式所定：

$$C_{in} = C_{BE} + C_M \quad (3)$$

$$R'_M = R_M \left(\frac{C_M}{C_{BE} + C_M} \right)^2 \quad (4)$$

由式（2）及式（4）可知，適當調整電容 313（記為 C_L ）、集射極間受控電流源 315 之轉導、電阻 316（記為 R_L ）及基集極間電容 312（記為 C_{BC} ）等之數值，可使電阻 320（記為 R'_M ）與基極電阻 314（記為 R_B ）之和為所欲之電阻值（通常為 50 歐姆）。而電

容 319(記為 C_{in})可藉由一串聯電性連接之電感將其共振於所欲頻率，而完成阻抗匹配。

又以上之說明，我們雖使用雙極電晶體為例，但使用場效電晶體也可以。

所以相對於習知技藝，本創作不需使用電感來產生所欲之電阻，雖需使用電容，但電容所佔面積亦小，亦不製造額外之雜訊，且可整合製作於單一晶片上。

為讓本發明之上述和其他目的，特徵，和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖，作詳細說明如下：

【實施方式】

茲配合圖式將本創作較佳實施例詳細說明如下。

參閱第四圖，其乃本創作具 5.2/ 5.7 GHz 低雜訊放大器之實施例的電路圖。在此電路中我們雖使用雙極電晶體，但使用場效電晶體也可以。第一電阻 407 與第二電阻 412 均為 300 歐姆；第三電阻 410 為 600 歐姆；直流阻隔/交流耦合電容 409 為 3pF；該第一電晶體 408 與第二電晶體 413 射極面積均為 12.18 平方微米。製程採 TSMC 0.35um SiGe BiCMOS 製程。本實施例中看入第二電晶體 413 基極端之阻抗等效於一電容與一電阻之並聯組合，提供了相當於前述本創作所需之 C_L 及 R_L 。藉由適當調整整個電路元件參數及偏壓電流（即適當之轉導），看入第一電晶體 408 基極之阻抗中會有所需之 50 歐姆電阻產生。而接在第一電晶體 408 基極上的電感 404，提供了達成輸入阻抗匹配所需之電感。在輸出端 414 部份，我們使用了回授電阻 410 達成輸出阻抗匹配。在不需輸出阻抗匹配的情況下（例如 zero-IF 或 low-IF 接收機情況下），可不用回授電阻 410 達成輸出阻抗匹配。電阻 407 及電阻 412 為分別為第一級電晶體及第二級電晶體之負載。電源為 2 伏特。由於我們只使用了一個電感 404，而且是製作在晶片上的電感，因此不但整個電路可以完全在單一晶片上實現，而且電路的面積非常小。這對於商品化非常有利。

有關此低雜訊放大器在增益及輸入/輸出阻抗匹配程度上的表現，請參照第五圖及第六圖。實驗結果顯明，此低雜訊放大器在 5.2/5.7 GHz 的增益（散射參數 S_{21} ）達到了 18.4 dB 和 17.4 dB（參照第五圖）。參照第六圖，此多低雜訊放大器對於輸入阻抗的匹配程度（通常以散射參數中輸入折返損耗 input return loss S_{11} 來表示），5.15 GHz 和 5.35 GHz 之間皆低於 -17 dB 以下（愈低愈好），在 5.725 GHz 和 5.825 GHz 之間皆低於 -16 dB 以下（愈低愈好）。對於輸出阻抗的匹配程度（通常以散射參數中輸出折返損耗 input return loss S_{22} 來表示），也是相當不錯（約 -10 dB 以下）。在超外差式接收機（super-heterodyne receiver）輸出阻抗的匹配程度（ S_{22} ）才重要。若於直接降頻式（direct conversion or zero-IF）或低中頻接收機（Low IF）之應用，則輸出阻抗匹配與否，並不重要。

有關此低雜訊放大器在雜訊指數上的表現，請參照第七圖。此低雜訊放大器在 5.2/ 5.7 GHz 雜訊指數分別為 2.79 dB 和 2.73 dB（愈低愈好）。就申請人所知此乃完全積體式雙極電晶體低雜訊放大器之全世界最佳值。一般對於 802.11a 無線區域網路（WLAN）之應用而言，低雜訊放大器之雜訊指數只要低於 5 dB 即可，輸入（輸出）折返損耗小於 -10 dB 即可，增益大於 10 dB 即可。因此我們可以說，根據本創作之實施例：5.2/ 5.7 GHz 低雜訊放大器，其有關於增益、雜訊指數、阻抗匹配程度上的表現，在 5.2 GHz 和 5.7 GHz 兩個頻段下都有相當好的實施結果。

相較於習知的低雜訊放大器，本創作使用不增加雜訊及不佔面積之電容的電容

來產生輸入阻抗匹配所需的電阻。事實上本發明之主要技術內容，將於 2003 年二月之 International Solid State Circuit Conference 中發表。此會議乃電路會議中最頂級的會議。

綜上所述，當知本案所創作之阻抗匹配方法及利用此方法所設計出之電路已具有產業利用性、新穎性與進步性，符合發明專利要件。惟以上所述者，僅為本創作之一較佳實施例而已，並非用來限定本創作實施之範圍。即凡依本創作申請專利範圍所做的均等變化與修飾，皆為本創作專利範圍所涵蓋。

【圖式簡單說明】

各圖意義如下：

第一圖為習知超外差式接收機之方塊圖

第二 A 圖為習知用並聯 50 歐姆電阻來產生 50 歐姆輸入電阻之方式

第二 B 圖為習知用並聯電阻回授來產生 50 歐姆輸入電阻之方式

第二 C 圖為習知用共基極或共開極組態來產生 50 歐姆輸入電阻之方式

第二 D 圖為習知用射極或源極電感來產生 50 歐姆輸入電阻之方式

第三圖為本創作所提於電晶體輸出端並聯電容及電阻來產生 50 歐姆輸入電阻之方式

第四圖為本創作實施例(5.2/ 5.7 GHz 低雜訊放大器)的電路圖

第五圖為本創作實施例(5.2/ 5.7 GHz 低雜訊放大器)功率增益對頻率的特性

第六圖為本創作實施例(5.2/ 5.7 GHz 多頻段低雜訊放大器)輸入及輸出折返損耗對頻率的特性

第七圖為本創作實施例(5.2/ 5.7 GHz 低雜訊放大器)雜訊指數對頻率的特性

圖式中之參照號數

100 天線	101 頻段選擇濾波器	102 低雜訊放大器
103 鏡像消除濾波器	104 混波器	105 本地振盪訊號
106 頻道選擇濾波器		
200 電晶體	201 電阻	202 電晶體
203 電阻	204 電阻	205 電阻
206 電阻	207 電晶體	208 電阻
209 電晶體	210 電感	
311 電容	312 電容	313 電容

314 電阻

317 電容

320 電阻

400 輸入端

404 電感

407 電阻

410 電阻

413 電晶體

315 受控電流源

318 電阻

401 電流源

405 集極電流

408 電晶體

411 電源

414 輸出端

316 電阻

319 電容

402 電容

406 電壓源

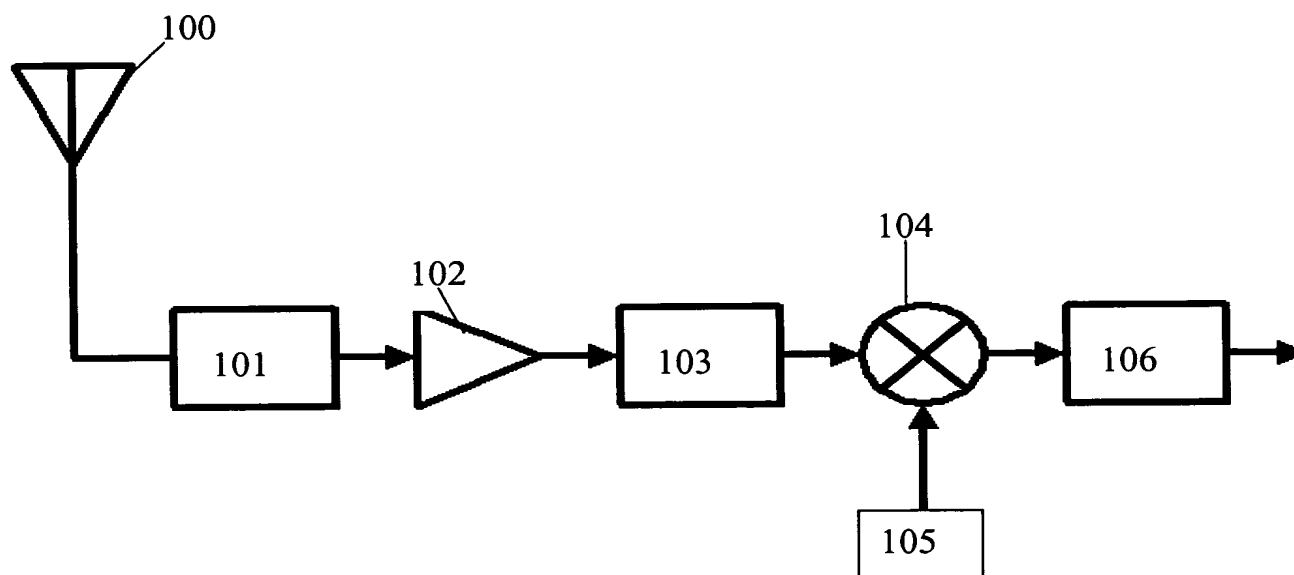
409 電容

412 電阻

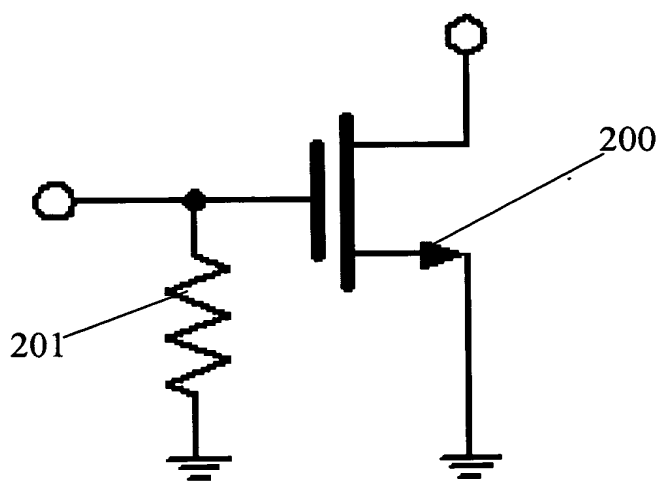
申請專利範圍

1. 一種阻抗匹配的設計方法，其乃藉於共射極組態雙極電晶體的集極端，並聯上一電容，經由回授作用而於雙極電晶體的基極端產生所欲之電阻值，以達成阻抗匹配。
2. 一種阻抗匹配的設計方法，其乃藉於共源極組態場效電晶體的汲極端，並聯上一電容，經由回授作用而於場效電晶體的炸極端產生所欲之電阻值，以達成阻抗匹配。
3. 如申請專利範圍第 1 項或第 2 項之阻抗匹配的設計方法，其中該所欲產生之電阻值為 50 歐姆。
4. 一種電子電路，包含射極接地之第一雙極電晶體；與該第一雙極電晶體基極端相連接之一電感；與該第一雙極電晶體之集極端相連接之第一電阻；與該第一電阻之另一端相連接之電源；與該第一雙極電晶體集極端相連接之一電容；射極接地且基極與該電容的另一端相連接之第二雙極電晶體；與該第二雙極電晶體之集極端相連接的第二電阻；與該第二電阻之另一端相連接之電源；連接於該第二雙極電晶體之基極與集極端間之第三電阻；藉由從該第二雙極電晶體基極端所產生之並聯電容及電阻，使看入第一雙極電晶體的基極端之阻抗產生所欲之電阻值，以達成阻抗匹配。
5. 一種電子電路，包含源極接地之第一場效電晶體；與該第一場效電晶體閘極端相連接之一電感；與該第一場效電晶體之汲極端相連接之第一電阻；與該第一電阻之另一端相連接之電源；與該第一場效電晶體汲極端相連接之一電容；源極接地且閘極與該電容的另一端相連接之第二場效電晶體；與該第二場效電晶體之汲極端相連接的第二電阻；與該第二電阻之另一端相連接之電源；連接於該第二場效電晶體之閘極與汲極端間之第三電阻；藉由從該第二場效電晶體閘極端所產生之並聯電容及電阻，使看入第一場效電晶體的閘極端之阻抗產生所欲之電阻值，以達成阻抗匹配。
6. 如申請專利範圍第 5 項或第 6 項之阻抗匹配的設計方法，其中該所欲產生之電阻值為 50 歐姆。

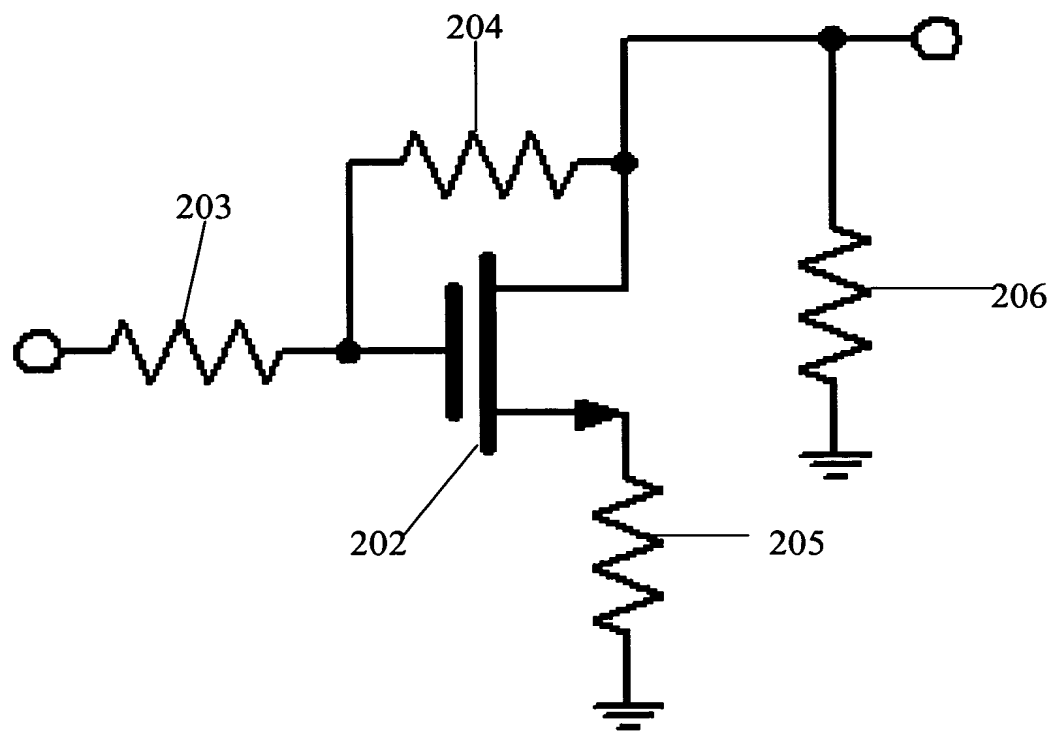
拾壹、圖式



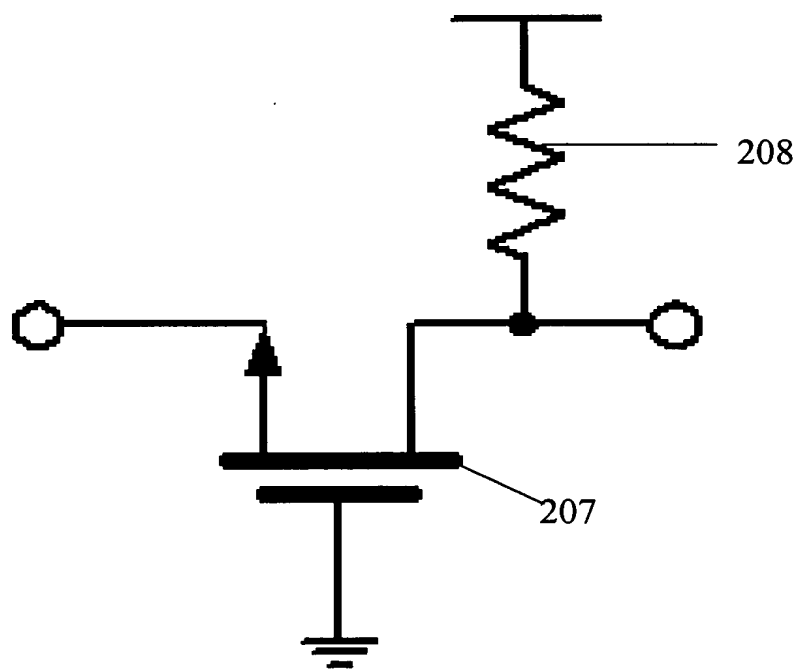
第一圖



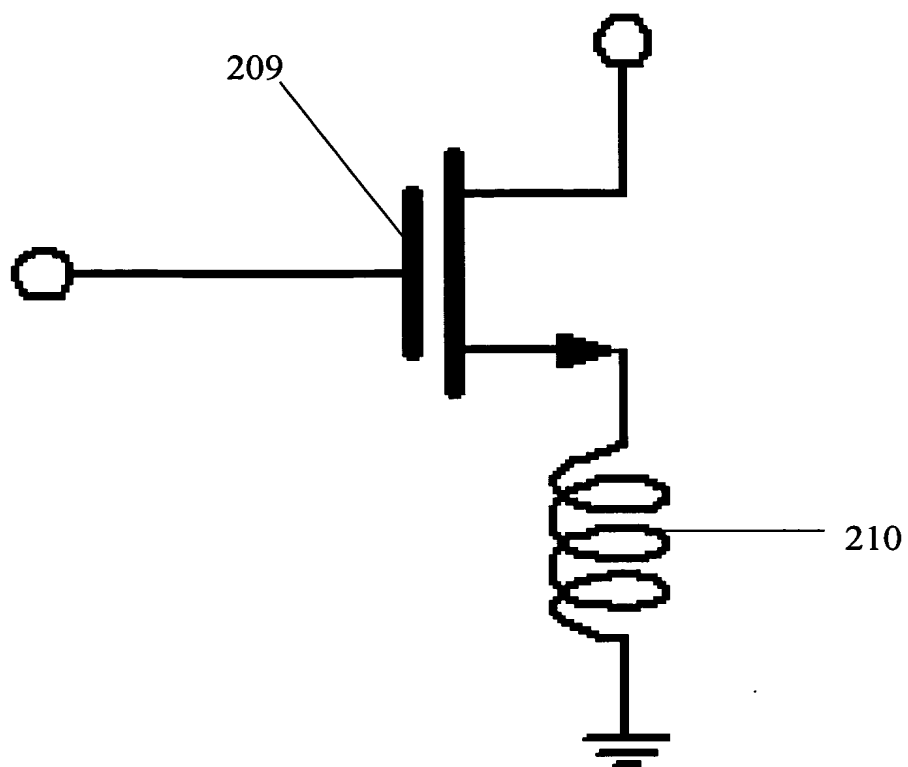
第二 A 圖



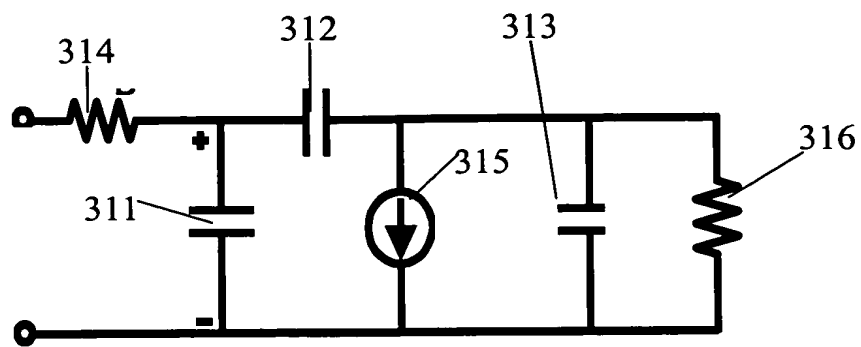
第二 B 圖



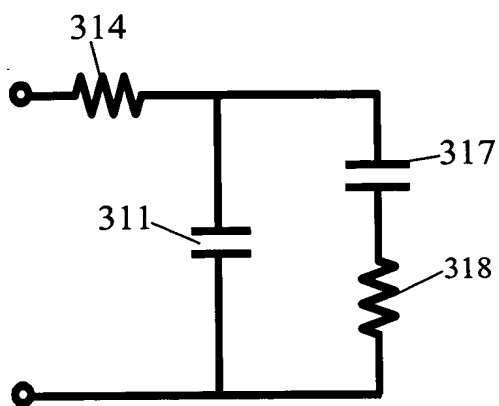
第二 C 圖



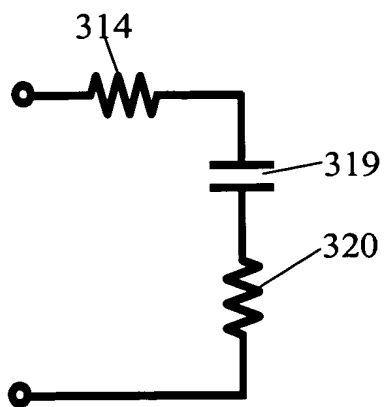
第二 D 圖



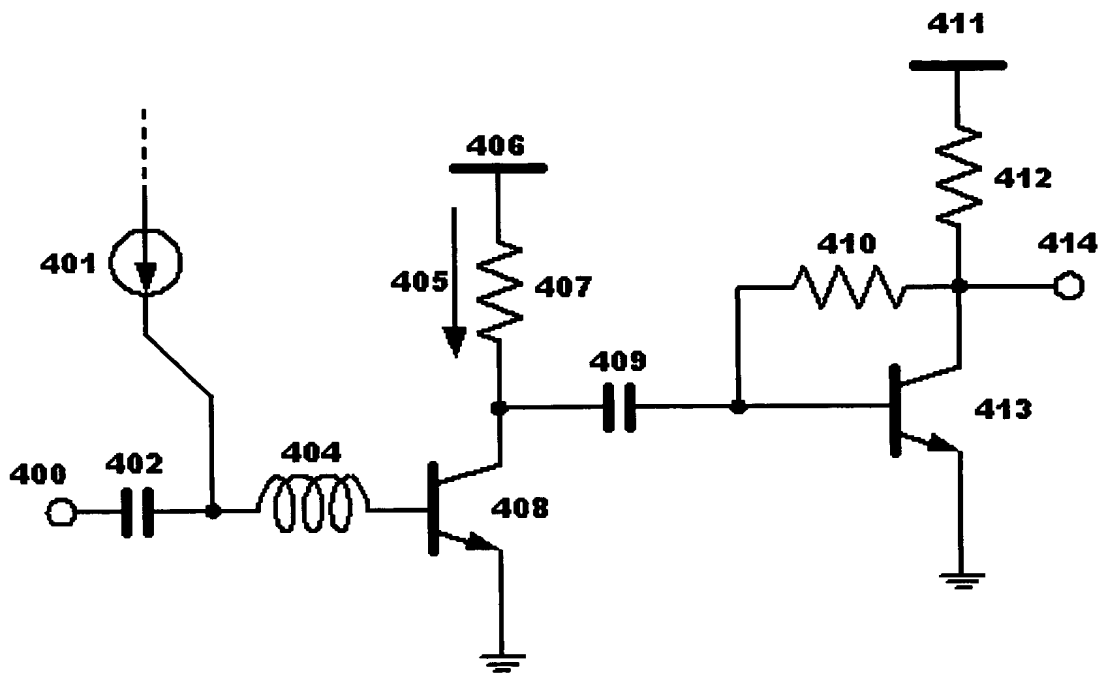
第三 A 圖



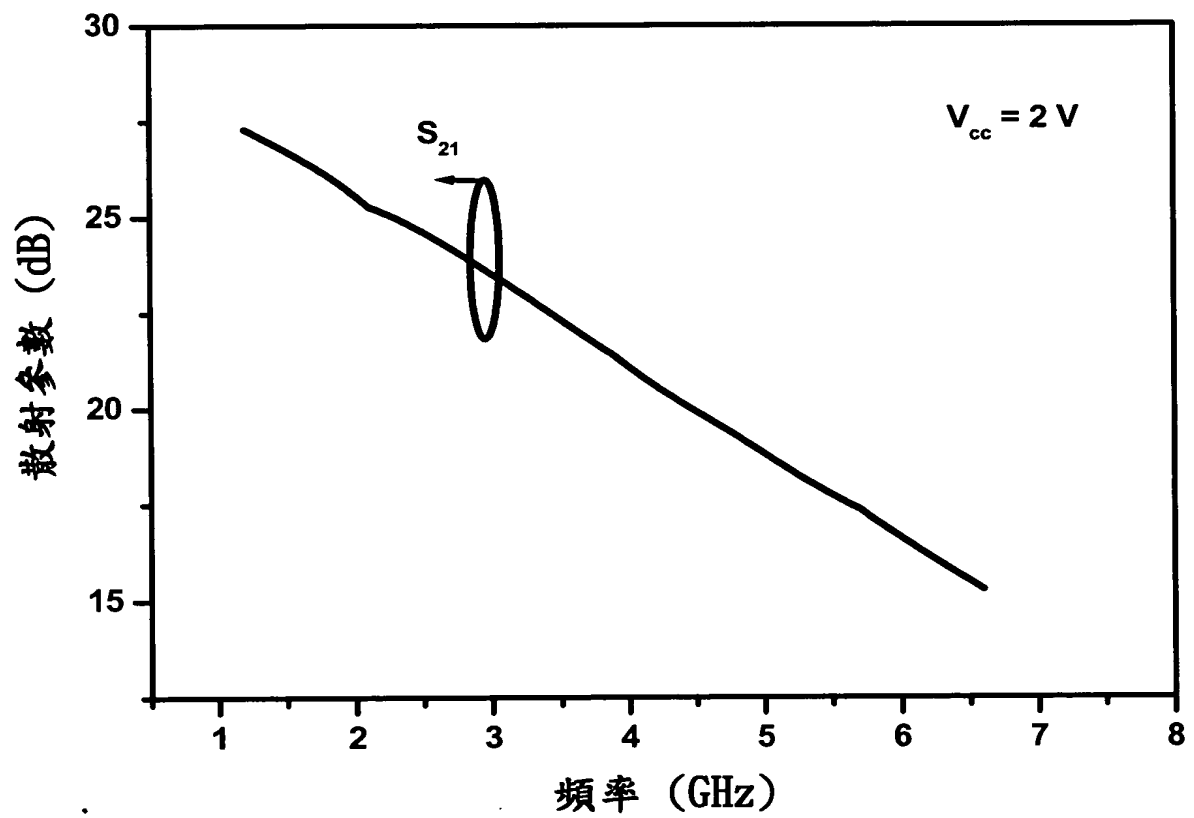
第三 B 圖



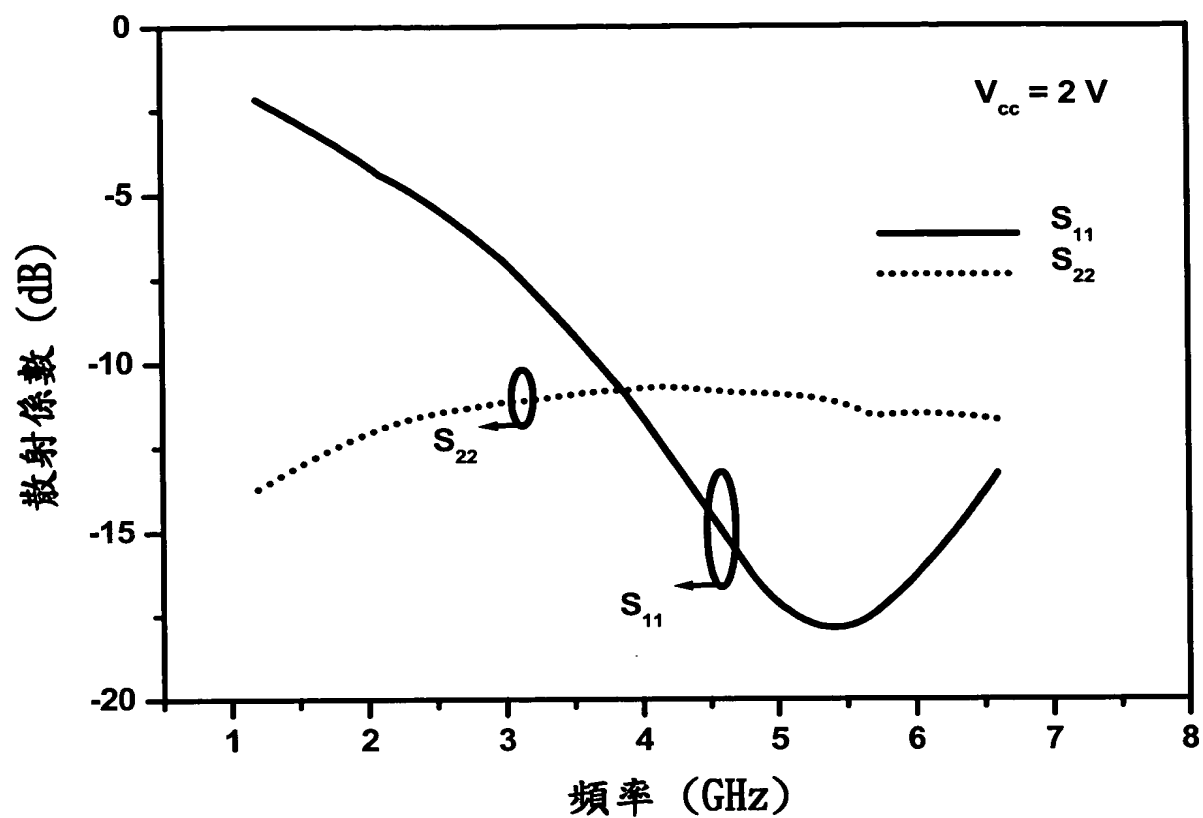
第三 C 圖



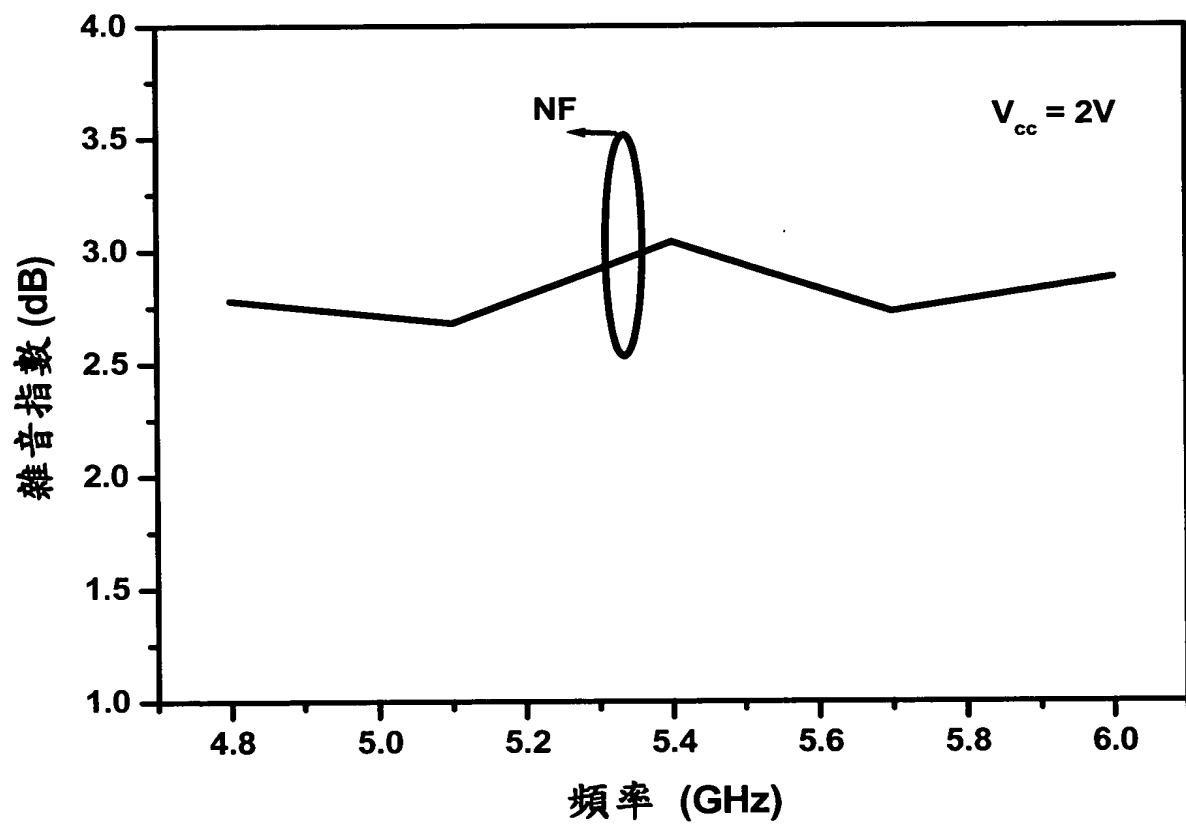
第四圖



第五圖



第六圖



第七圖